

Korean Patent Application Laid-Open No. 1996-0030373

Published on August 17, 1996. (Appln. No. 10-1995-0000081)

### ***Abstracts***

The disclosure is a method of manufacturing metal interconnection of a semiconductor device, without a RIE(Reactive Ion Etching) process, preventing the diffusion of copper between silicon(Si) and silicon-oxide( $\text{SiO}_2$ ) layers.

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> H01L 21/768	(45) 공고일자 2002년 11월 20일
	(11) 등록번호 10-0338109
	(24) 등록일자 2002년 05월 13일
(21) 출원번호 10-1995-0000081	(65) 공개번호 특 1996-0030373
(22) 출원일자 1995년 01월 05일	(43) 공개일자 1996년 08월 17일
(73) 특허권자 주식회사 하이닉스반도체	
(72) 발명자 류형식 서울시송파구석촌동53번지 오민록 경기도성남시분당구서현동91한양APT326동1103호	
(74) 대리인 신영무, 최승민	

심사관 : 반성원

(54) 반도체소자의금속배선제조방법

요약

본 발명은 반도체 소자의 금속배선 제조방법에 관한 것으로, 구리(Cu)를 이 용한 금속배선 형성시 구리가 실리콘(Si) 및 산화 실리콘(SiO<sub>2</sub>)막 사이로 확산되는 것을 방지하고, RIE(Reactive Ion Etching)공정의 실시없이 금속배선을 형성할 수 있도록 한 반도체 소자의 금속배선 제조방법에 관해 기술되어 있다.

대표도

도6

명세서

도면의 간단한 설명

제 1 도 내지 제 6 도는 본 발명에 따른 반도체 소자의 금속배선 제조방법을 설명하기 위한 단면도.

\* 도면의 주요 부분에 대한 부호의 설명 \*

- |                  |                   |
|------------------|-------------------|
| 1: 실리콘 기판        | 2: 소자 절연막         |
| 3: 폴리실리콘 전극      | 4: TEOS막          |
| 5: BPSG막         | 6: 포토레지스트         |
| 7: 제 1 포토레지스트 패턴 | 8: 제 2 포토레지스트 패턴  |
| 9, 14: Ti/TiN    | 10: 제 3 포토레지스트 패턴 |
| 11: 제 1 금속배선     | 12, 16: 산화절화막     |
| 15: 제 2 금속배선     | 20: 그루브           |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 금속배선 제조방법에 관한 것으로, 특히 구리(Cu)를 이용한 금속배선 형성시 구리가 실리콘(Si) 및 산화실리콘(SiO<sub>2</sub>)막 사이로 확산되는 것을 방지하고, RIE(Reactive Ion Etching)공정의 실시 없이 금속배선을 형성할 수 있도록 한 반도체 소자의 금속배선 제조 방법에 관한 것이다.

반도체 제조공정에서 구리를 이용한 금속배선 제조방법에 관해 현재 많은 연구가 진행되고 있으나 구리가 실리콘 및 산화 실리콘 사이에서 급속하게 확산되는 특성을 가지고 있어 반도체 소자의 신뢰성이 저하된다. 또한 도포된 구리를 패턴화하기 위해 RIE 공정을 실시하는 것은 매우 어렵기 때문에 실제로 구리를 금속배선으로 사용하기가 곤란하다.

따라서 본 발명은 구리(Cu)를 이용한 금속배선 형성시 구리가 실리콘(Si) 및 산화실리콘(SiO<sub>2</sub>)막 사이로 확산되는 것을 방지하고, RIE(Reactive Ion Etching)공정의 실시없이 금속배선을 형성하여 상기한 단점

을 해소할 수 있는 반도체 소자의 금속배선 제조방법을 제공하는데 그 목적이 있다.

상술한 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 금속 배선 제조방법은 실리콘 기판상에 산화질화막, 층간절연막 및 포토레지스트를 순차로 형성하고 상기 층간절연막을 평탄화하는 공정과, 상기 층간절연막내에 그루브를 형성한 다음 상기 층간절연막을 에칭하여 제 1 콘택홀을 형성하는 공정과, 상기 제 1 콘택홀의 내부에만 Ti/TiN을 형성시키고 상기 제 1 콘택홀내에 금속을 선택적으로 형성하여 금속배선이 형성되도록 하는 공정과, 상기 금속배선을 포함한 전체구조상부에 산화질화막을 형성하는 공정으로 이루어지는 것을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.

제 1 도 내지 제 6 도는 본 발명에 따른 반도체 소자의 금속배선 제조방법을 설명하기 위한 단면도이다.

제 1 도에 도시된 바와같이 소자 절연막(2)이 형성된 실리콘 기판(1)상에 게이트 전극(3)이 형성된다. 게이트 전극(3)을 포함한 전체구조 상부에 TEOS(4) 및 BPSG(5)가 순차로 도포된 후 BPSG(5) 상부에 평탄화용 포토레지스트(6)가 도포된다. 이 때 BPSG(5)는 최초 형성되는 두께에 후공정에서 형성될 제 1 금속배선의 두께를 합한 두께로 도포된다.

제 2 도와 관련하여 상기 BPSG(5) 및 포토레지스트(6)를 이용한 에치백(Etchback) 공정에 의해 상기 BPSG(5)가 전체적으로 평탄화 된다. 그 후, 콘택형성영역이 개방된 제 1 포토레지스트 패턴(7)이 상기 BPSG(5) 상부에 형성된다.

제 3 도에 도시된 바와같이, 상기 제 1 포토레지스트 패턴(7)을 이용한 콘택 에치 공정을 실시하여 그루브(Groove; 20)가 형성된다. 그후, 상기 제 1 포토레지스트 패턴(7)이 제거되고 상기 그루브(20)의 폭보다 큰폭으로 개구된 제 2 포토레지스트 패턴(8)이 상기 BPSG(5)의 상부에 형성된다.

제 4 도에 도시된 바와같이, 상기 제 2 포토레지스트 패턴(8)을 이용한 식각공정에 의해 상기 BPSG(5)가 식각되어 제 1 콘택홀이 형성된다. 제 1 콘택홀을 포함한 상기 BPSG(5)의 상부에 구리 확산 방지용 금속방어막인 Ti/TiN(9)이 도포되고, 그 위에 네가티브 특성을 가진 포토레지스트가 도포된 후 제 1 금속배선 형성을 마스크를 이용하여 제 3 포토레지스트 패턴 (10)이 상기 제 1 콘택홀상에 형성되게 한다.

제 5 도와 관련하여, 상기 제 2 포토레지스트 패턴(10)을 마스크로 하여 노출된 상기 Ti/TiN(9)이 선택적 식각에 의해 제거된 후 상기 제 2 포토레지스트 패턴(10)이 제거된다. 이때, 잔류하는 Ti/TiN(9)은 구리의 하부 확산 방지뿐만 아니라 후공정에서 형성될 제 1 금속배선을 형성하기 위한 구리를 선택적 화학기상증착하는 공정의 소스로 사용된다. 상기 제 2 포토레지스트패턴(10)이 제거된 영역에 구리를 선택적으로 화학기상 증착공정에 의해 증착함으로써 제 1 금속배선(11)이 형성된다. 따라서 RIE 공정을 진행하지 않고 구리로 이루어진 금속배선의 형성이 가능하다. 또한 층간절연막인 BPSG(5)내에 금속배선을 형성함으로써 글로벌(Global) 평탄화도 이를 수 있다.

제 6 도는 상기 제 1 금속배선(11)을 포함하는 상기 BPSG(5) 상부에 제 1 구리금속의 상부확산을 방지하기 위한 산화질화(12)막과 층간절연막(13)을 순차적으로 형성한 후 전술한 제 2 도 내지 제 5 도의 공정을 진행하여 구리로 이루어진 제 2 금속배선(15)을 형성한 후 전체구조 상부에 산화질화막(16)이 형성된 상태의 단면도이다. 이 때 도포되는 상기 층간 절연막(13)은 최초 형성되는 두께에 상기 제 2 구리금속배선(15)의 두께 만큼 추가된 두께가 바람직하다. 따라서 글로벌 단차극복에 효과적이다.

상술한 바와같이 본 발명은 구리 금속배선 공정의 가장 큰 제약조건인 구리의 Si 및 SiO<sub>2</sub>막 사이의 확산을 Ti/TiN막 및 산화질화막을 이용하여 완벽하게 방지하며, 또한 금속배선시 산화질화막의 선택적 식각에 의해 구리의 선택적 화학기 상증착을 수행함으로써 RIE 공정 없이 금속배선을 형성해 구리 금속배선시 RIE 공정의 어려움을 해결할 수 있다. 이와같은 공정 진행으로 금속배선시 노광 및 식각공정을 생략할 수 있어 공정의 단순화와 더불어 금속배선의 노칭(Notching)등의 문제 유발 가능성이 해소되어 미세 다배선 공정 개발시 안정적 공정진행을 보장한다.

또한, 금속배선이 평탄화된 층간 절연막내에 형성되므로 완전한 평탄화를 이룰 수 있다.

본 발명에 의하면 저항성이 낮고, EM 특성이 우수한 구리 금속선을 채용할 수 있게 되어 소자의 동작 특성 및 신뢰성을 향상시켜 향후 미세소자 및 다층배선 기술개발이 가능하게 된다.

#### (57) 청구의 범위

##### 청구항 1

(A) 실리콘 기판 상에 제 1 산화질화막 및 층간절연막을 순차적으로 형성하고, 평탄화용 포토레지스트를 이용한 평탄화 공정을 통해 상기 층간 절연막을 평탄화하는 단계;

(B) 상기 층간절연막내에 그루브를 형성한 후 상기 층간절연막을 식각하여 콘택홀을 형성하는 단계;

(C) 상기 콘택홀의 내부에만 Ti/TiN을 형성시키고 상기 콘택홀내에 구리를 선택적으로 형성하여 금속배선이 형성되도록 하는 단계; 및

(D) 상기 금속배선을 포함한 전체 구조 상부에 제 2 산화질화막을 형성하는 단계로 이루어지는 것을 특징으로 하는 반도체 소자의 금속배선 제조방법.

##### 청구항 2

제 1 항에 있어서,

상기 층간절연막은 BPSG로 형성되는 것을 특징으로 하는 반도체 소자의 금속 배선 제조방법.

### 청구항 3

제 1 항에 있어서,

상기 층간절연막의 평탄화 공정은 에치백 공정으로 이루어지는 것을 특징으로 하는 반도체 소자의 금속 배선 제조방법.

### 청구항 4

제 1 항에 있어서,

상기 층간절연막은 최초 형성되는 두께에 상기 금속배선의 두께를 합한 두께로 형성되는 것을 특징으로 하는 반도체 소자의 금속배선 제조방법.

### 청구항 5

제 1 항에 있어서,

상기 콘택 홀의 내벽에만 Ti/TiN을 형성시키기 위해 상기 콘택 홀을 포함하는 전체 구조 상부에 Ti/TiN을 도포하고 네가티브 포토레지스트를 도포한 후 금속 배선 형성용 마스크를 이용하는 것을 특징으로 하는 반도체 소자의 금속배선 제조방법.

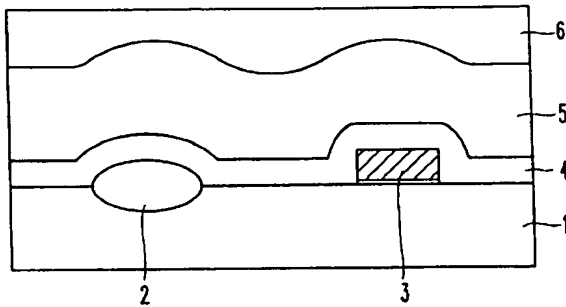
### 청구항 6

제 1 항에 있어서,

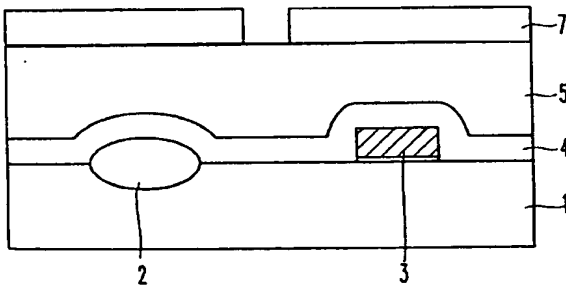
상기 (D) 단계 이후, 전체 구조 상부에 층간절연막을 순차적으로 형성하고, 평탄화용 포토레지스트를 이용한 평탄화 공정을 통해 상기 층간 절연막을 평탄화한 후, 상기 (B) 내지 (D) 단계를 실시하는 것을 더 포함하는 것을 특징으로 하는 반도체 소자의 금속배선 제조방법.

도면

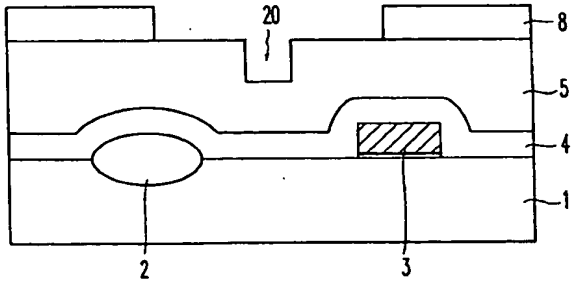
도면1



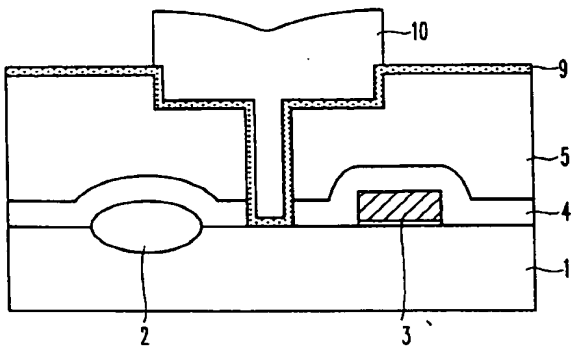
도면2



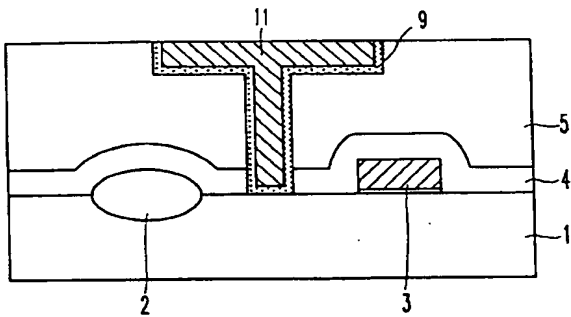
도면3



도면4



도면5



도면6

